

03500. 013388

DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

011609058 **Image available**

WPI Acc No: 1998-026186/ 199803

XRPX Acc No: N98-020727

**CCD solid state image pick up e.g. for barcode reader - has drive circuit
which limits storage information electric charge amount, when electric
charge amount exceeds storage tolerance limit**

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9284655	A	19971031	JP 9695454	A	19960417	199803 B

Priority Applications (No Type Date): JP 9695454 A 19960417

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9284655	A		7 H04N-005/335	

Abstract (Basic): JP 9284655 A

The pick up has multiple light receiving bits (2) which are arranged as one dimensional or two dimensional array. A shift register (3) is provided, which is matched with each row of light receiving bit. The light receiving part stores electric charge generated by bits corresponding to read photographed object. A drive circuit performs forwarding of output of light receiving part in predetermined order.

A photometry part (31) is provided which stores the converted electric charge. A storage electrode is arranged adjacent to the photometry part, which forms a potential well and stores the information electric charge. A second storage electrode forms potential barrier, which limits storage tolerance of information electric charge. The drive circuit limits storage information electric charge, when it exceeds storage tolerance.

ADVANTAGE - Stabilizes judgment operation of digitization circuit. Obtains stable performance characteristics.

Dwg.1/7

Title Terms: CCD; SOLID; STATE; IMAGE; PICK; UP; READ; DRIVE; CIRCUIT;
LIMIT; STORAGE; INFORMATION; ELECTRIC; CHARGE; AMOUNT; ELECTRIC; CHARGE;
AMOUNT; STORAGE; TOLERANCE; LIMIT

Derwent Class: T04; U13; W04

International Patent Class (Main): H04N-005/335

International Patent Class (Additional): H01L-027/148

File Segment: EPI

Manual Codes (EPI/S-X): T04-A03B1; U13-A02; W04-M01B5A; W04-M01B7

Translation of paragraph [0026] in document 2

[0026] Further, since it is unnecessary to arrange an overflow drain in a light-receiving portion, the light receiving portion can be formed with simplified structure. This is technological advantages for integration of circuits. That is, according to this advantages, a photometry portion can be easily integrated together with the light-receiving portion, an output amplifier, a binarizing circuit and a clock generation circuit onto a single semiconductor substrate, and all of arrangements necessary for code reading therefore can be easily formed as one chip.

JP-A-09-284655

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-284655

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	FI	技術表示箇所
H04N 5/335			H04N 5/335	F
H01L 27/148			H01L 27/14	B

審査請求 未請求 請求項の数3 OL (全7頁)

(21) 出願番号 特願平8-95454

(22) 出願日 平成8年(1996)4月17日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 谷本 孝司

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

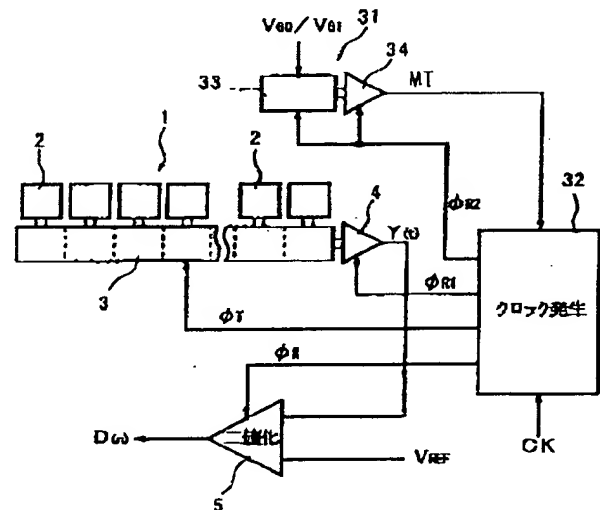
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 発明の名称 固体撮像装置

(57) 【要約】

【課題】 固体撮像装置の受光動作を安定させる。

【解決手段】 受光部1と並列して測光部11を配置し、この測光部11から取り出される起動信号MTにตอบสนองしてクロック発生回路15を起動させる。測光部31のフォトセンサ33には、2層の蓄積電極23、24を形成し、この蓄積電極23、24によって形成されるポテンシャルの差を越える情報電荷を出力アンプ34で検出して起動信号MTを立ち上げる。これにより、受光部1の各受光画素2に蓄積される情報電荷量が適正になった時点で各受光画素2の情報電荷の転送出力が開始される。



【特許請求の範囲】

【請求項1】 複数の受光ビットが1次元または2次元に配列されると共に、各受光ビットの列にシフトレジスタが対応付けられ、被写体映像に 대응して発生する情報電荷を各受光ビットに蓄積する受光部と、上記複数の受光ビットに蓄積される情報電荷を上記シフトレジスタへ転送し、所定の順序で連続して転送出力する駆動回路と、上記受光ビットに隣接して配置され、被写体映像に 10 対して発生する情報電荷を蓄積する測光部と、を備えた固体撮像装置であって、上記測光部は、ポテンシャルの井戸を形成して情報電荷を蓄積する第1の蓄積電極及びこの第1の蓄積電極に隣接し、ポテンシャルの障壁を形成して情報電荷の蓄積許容量を制限する第2の蓄積電極が配置されたフォトセンサを含み、上記フォトセンサの蓄積情報電荷量が上記第1及び第2の蓄積電極で制限される蓄積許容量を越えたときに上記駆動回路に対して起動命令が供給されることを特徴とする固体撮像装置。

【請求項2】 上記受光部及び上記測光部が共通の半導体基板上に集積化され、上記受光部のシフトレジスタは、上記測光部の第1の蓄積電極と同一工程で形成される第1の転送電極と、上記測光部の第2の蓄積電極と同一工程で形成される第2の転送電極とを有することを特徴とする請求項1に記載の固体撮像装置。

【請求項3】 上記受光部の第1の転送電極及び上記測光部の第1の転送電極の下の半導体基板領域または上記受光部の第2の転送電極及び上記測光部の第2の転送電極の下の半導体基板領域の何れか一方の領域で不純物濃度を低くし、各領域に形成されるポテンシャルに段差を形成することを特徴とする請求項2に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、2相の駆動クロックによって駆動されるCCD固体撮像素子を有する固体撮像装置に関する。

【0002】

【従来の技術】 バーコード等の符号図形は、所望の情報コードを黒または白のパターンの配列に対応付けて記憶する。このような符号図形の読み取りにおいては、光源から符号図形に照射した光の反射光を撮像素子で受けて、図形パターンの配列を電気信号の配列に置き換えて画像信号を生成し、その画像信号を所定の処理装置で解読するように構成される。

【0003】 図4は、従来の符号読み取り装置の構成を示すブロック図で、図5は、各信号の波形図である。受光部1は、直線状に配列された複数の受光ビット2と、受光ビット2の配列に沿って配置されるシフトレジスタ3と、シフトレジスタ3の出力側に配置される出力アンプ4からなり、半導体基板上に集積化して形成される。複数の受光ビット2は、それぞれ電気的に独立し、入射 50

される光の量に比例する量の情報電荷を発生して蓄積する。シフトレジスタ3は、各ビットに複数の受光ビット2の各々が応付けられ、各受光ビット2から取り込んだ情報電荷を転送クロック ϕT に 대응して一方向に転送し、1ビット単位で順次転送出力する。出力アンプ4は、シフトレジスタ3から転送出力される情報電荷を1ビット単位で一時的に容量へ蓄積し、その容量の電位変化を読み出すことにより、シフトレジスタ3から出力される情報電荷量に応じて電圧値を変化させる画像信号Y(i)を発生する。この出力アンプ4では、リセットクロック ϕR により、シフトレジスタ3の出力動作に同期して容量の充放電が繰り返される。このため、画像信号Y(i)では、リセットクロック ϕR に同期して、各受光画素2に蓄積される情報電荷量に対応した信号レベルと全ての情報電荷が排出されたときのリセットレベルとが交互に繰り返される。

【0004】 二値化回路5は、画像信号Y(i)を出力アンプ4の出力の最小電圧値から最大電圧値の中間に設定される基準電圧VREFと比較し、画像信号Y(i)を「1」または「0」の二値で表した画像データD(n)を生成する。この二値化回路5には、転送クロック ϕT に同期したサンプリングクロック ϕS が供給され、出力アンプ4の動作に同期させて画像信号Y(i)を取り込み、基準電圧VREFと比較するようにしている。従って、転送クロック ϕT の1クロック周期で「1」または「0」が連続する画像データD(n)が出力される。このように出力される画像データD(n)は、符号図形のパターンの配列が電気信号に置き換えられたものであり、所定の信号処理装置に転送されて情報コードが解読される。

【0005】 クロック発生回路6は、一定周期の基準クロックCKに基づいて、転送クロック ϕT を生成し、受光部1に供給する。同時に、転送クロック ϕT に同期したリセットクロック ϕR 及びサンプリングクロック ϕS を生成して出力アンプ4及び二値化回路5にそれぞれ供給する。尚、このクロック発生回路6は、符号図形の読み取りを開始する起動命令を受けて動作を開始し、受光部1のシフトレジスタ3の情報電荷の転送出力が完了した時点で動作を停止する。

【0006】 図6は、受光部1のシフトレジスタ3及び出力アンプ4の構造を示す断面図であり、図7は、そのポテンシャルの状態を示すプロファイル図である。シフトレジスタ3は、埋込層11、バリア領域12、転送電極13、14及び出力制御電極15によって構成され、P型のシリコン基板10上に形成される。埋込層11は、シリコン基板10の素子形成領域の表面にN型の不純物を拡散して形成され、情報電荷の転送経路となるチャネル領域を形成する。複数の第1層の転送電極13は、チャネル領域と交差する方向に延在し、埋込層11が形成されたシリコン基板10上に、絶縁膜16を介し、互いに一定の距離を隔てて平行に配列される。複数の

の第2層の転送電極14は、第1層の転送電極13と同様に、チャネル領域と交差する方向に延在し、第1層の転送電極13の間隙を被うように配置される。これらの転送電極13、14は、隣り合う2本が電気的に接続され、2相の転送転送クロック $\phi T1$ 、 $\phi T2$ によってパルス駆動される。バリア領域12は、第1層の転送電極13の間隙部分、即ち、第2層の転送電極14の下地層11部分に形成され、各転送電極13、14により形成されるポテンシャルに段差が生じるようにしている。このバリア領域12は、例えば、第1層の転送電極13を形成した後第1層の転送電極13をマスクとするセルフアライメント注入により、P型に不純物を注入することにより形成される。これにより、2組(4本)の転送電極13、14で1ビットが構成され、転送転送クロック $\phi T1$ 、 $\phi T2$ にตอบสนองして図7のAの状態とBの状態とが繰り返されてバリア領域12によるポテンシャルの段差分に相当する量の情報電荷の転送が可能になる。出力制御電極15は、シフトレジスタ3の出力端に各転送電極13、14と並列に配置され、一定の制御電圧V0Gが印加される。この出力制御電極15は、シフトレジスタ2から出力アンプ4への情報電荷の転送を制御するためのものであり、シフトレジスタ2のチャネル領域の出力端に一定の高さのポテンシャル障壁を形成する。

【0007】出力アンプ4は、フローティング層17、リセットドレイン18及びリセット電極19により構成され、シフトレジスタ3に連続してシリコン基板10上に形成される。フローティング層17は、シフトレジスタ3の出力側に隣接し、シリコン基板10の表面にN型の不純物を拡散して形成され、浮遊容量を形成してシフトレジスタ3から転送出力される情報電荷を1ビット単位で一時的に蓄積する。このフローティング層17の電位VFDは、フローティング層17内に蓄積される情報電荷量に比例して変動するものであり、ソースフォロワ等のインピーダンス変換回路を通して画像信号Y(i)として出力される。リセットドレイン18は、フローティング層18から一定の距離を隔ててシリコン基板10の表面にN型の不純物を拡散して形成される。このリセットドレイン18には、一定の電圧VRDが印加され、フローティング層17に蓄積される情報電荷をリセット電極19の開閉動作に合わせて吸収する。リセット電極19は、フローティング層17とリセットドレイン18との間のシリコン基板10上に絶縁膜16を介して配置される。このリセット電極19は、転送クロック $\phi T1$ 、 $\phi T2$ に同期したリセットクロック ϕR によりパルス駆動され、フローティング層17とリセットドレイン18とを導通状態とする。これにより、シフトレジスタ3から転送出力される情報電荷が1ビット単位で電圧値に変換されるようになる。

【0008】

【発明が解決しようとする課題】受光部1による符号図

形の読み取りは、通常、受光部1と共に発光ダイオード等の光源を配置し、この光源から照射される光を符号図形部分で反射させ、その反射光を受光部1の受光ビット2に受けるように構成される。そこで、各受光ビット2の受光期間、即ち、符号図形からの反射光にตอบสนองして発生する情報電荷を各受光ビット2に蓄積する期間を光源の光量に対応して設定し、画像信号Y(i)のレベルが最適となるようにしている。

【0009】一般のバーコードリーダー等の符号読み取り装置においては、符号図形とその符号図形の読み取り部(受光部1)との位置を正確に決められないことが多く、読み取り部の受光状態が安定しない。このため、画像信号Y(i)を常に適正なレベルでえられるように、読み取り部では、情報電荷の蓄積期間を伸縮制御する露出制御が必要になる。通常の露出制御は、受光ビットに蓄積される情報電荷を一旦排出した後、所定の期間を経過する間に新たに蓄積される情報電荷のみを読み出すようにしている。その際、情報電荷の排出のタイミングから次に情報電荷を読み出すタイミングまでの時間を読み取り部に照射される光の光量に対応して設定することにより、画像信号のレベルの最適化を図っている。

【0010】このような露出制御においては、実際の画像信号のレベルから読み取り部の露出状態を検知し、その露出状態に合わせて露出時間を伸縮することにより画像信号のレベルを適正な範囲に収めるようにするフィードバック制御が行われる。このため、画像信号が最適なレベルになるまでに要する時間が長くなり、符号読み取り装置においては、符号の読み取りに要する時間が長くなるという問題が生じる。

【0011】また、受光部1のシフトレジスタ3が2相駆動される場合には、シフトレジスタ3の電荷転送能力が小さくなりやすく、受光ビット2に蓄積される情報電荷の量が多くなると、全ての情報電荷を同時に転送することができなくなる。従って、受光部1の受光状態によっては、シフトレジスタ3で情報電荷の転送残りが生じ、正確な画像信号を得られなくなるおそれがある。

【0012】そこで本発明は、受光部の受光状態に拘わらず、常に適正なレベルの画像信号を得られるようにすることを目的とする。

【0013】

【課題を解決するための手段】本発明は、上述の課題を解決するために成されたもので、第1の特徴とするところは、複数の受光ビットが1次元または2次元に配列されると共に、各受光ビットの列にシフトレジスタが対応付けられ、被写体映像にตอบสนองして発生する情報電荷を各受光ビットに蓄積する受光部と、上記複数の受光ビットに蓄積される情報電荷を上記シフトレジスタへ転送し、所定の順序で連続して転送出力する駆動回路と、上記受光ビットに隣接して配置され、被写体映像にตอบสนองして発生する情報電荷を蓄積する測光部と、を備えた固体撮像

装置であって、上記測光部は、ポテンシャルの井戸を形成して情報電荷を蓄積する第1の蓄積電極及びこの第1の蓄積電極に隣接し、ポテンシャルの障壁を形成して情報電荷の蓄積許容量を制限する第2の蓄積電極が配置されたフォトセンサを含み、上記フォトセンサの蓄積情報電荷量が上記第1及び第2の蓄積電極で制限される蓄積許容量を越えたときに上記駆動回路に対して起動命令が供給されることにある。

【0014】これにより、測光部の第1の蓄積電極の下に蓄積される情報電荷が第2の蓄積電極によって制限される蓄積許容量を越えたときに、測光部からの起動指示が立ち上げられるようになる。そして、起動指示が立ち上がるタイミングで駆動回路を起動して受光部の情報電荷を読み出すことにより、各受光ビットに最適な量の情報電荷が蓄積されるタイミングを検出できる。

【0015】

【発明の実施の形態】図1は、符号読み取り装置としての本発明の固体撮像装置の構成を示すブロック図である。受光部1及び二値化回路5は、図4と同一のものである。即ち、受光部1の各受光ビット2に蓄積される情報電荷がシフトレジスタ3を介して転送出力され、1ビット分毎に出力アンプ4で電圧値に変換されて画像信号Y(i)として出力される。そして、画像信号Y(i)が二値化回路5により画像データD(n)に変換されて出力されるように構成される。

【0016】本発明の特徴とするところは、受光部1に並列に測光部31を設け、この測光部31から起動タイミング信号MTを取り出し、この起動タイミング信号MTにตอบสนองしてクロック発生回路32を起動させるようにしたことにある。測光部31は、フォトセンサ33及び出力アンプ34により構成され、受光部1に隣接して配置される。フォトセンサ33は、互いに異なる電圧VG0、VG1が印加される2層の蓄積電極を有し、受光部1に照射される被写体からの光の一部を受けて情報電荷を発生し、2層の蓄積電極によって形成されるポテンシャルの差の分だけ情報電荷を蓄積する。そして、そのポテンシャルの差を越える分の情報電荷を出力アンプ34へ出力する。出力アンプ34は、フォトセンサ33から入力される情報電荷を受ける容量を有し、フォトセンサ33から情報電荷が出力されたのを検出すると、起動信号MTを立ち上げてクロック発生回路32に起動指示を与える。

【0017】クロック発生回路32は、起動パルスMTにตอบสนองして動作を開始し、基準クロックCKに基づいて、駆動クロックφTを生成して受光部1に供給する。同時に、駆動クロックφTに同期したリセットクロックφRI及びサンプリングクロックφSを生成して出力アンプ4及び二値化回路5にそれぞれ供給する。また、受光動作を開始する時点で、受光部1及び測光部31に対してリセット動作を行い、その動作の完了後に起動パルス

MTにตอบสนองして動作するように構成される。測光部31に対するリセット動作は、受光動作の開始時点で立ち上げられるリセットクロックφR2にตอบสนองしてフォトセンサ33に蓄積されている情報電荷を全て排出させると共に、出力アンプ34の容量に残されている情報電荷を全て排出させる。また、受光部1に対するリセット動作は、受光部1の情報電荷を出力アンプ4を動作させない状態で読み出すようにして各受光ビット2に蓄積されている情報電荷を全て排出させる。また、受光ビット2やシフトレジスタ3に隣接して電荷排出用のドレインを設け、測光部31をリセットするリセットクロックφR2にตอบสนองして各受光ビット2の情報電荷を排出するようにしてもよい。

【0018】従って、受光部1及び測光部31で符号図形からの反射光の受光を開始し、受光部1の受光ビット2に蓄積される情報電荷量が適正になると、自動的に受光部1の各受光ビット2から情報電荷が転送出力されるようになる。従って、受光部1から適正なレベルを有する映像信号Y(n)が取り出され、二値化回路5に入力される。

【0019】図2は、測光部31の構成を示す断面図であり、図3は、そのポテンシャルの状態を示すプロファイル図である。フォトセンサ33は、埋込層21、バリア領域22、第1の蓄積電極23、第2の蓄積電極24、リセット電極25及びリセットドレイン26により構成され、図6に示す受光部1が形成されるシリコン基板10と共通となるシリコン基板20上に形成される。埋込層21は、シリコン基板20の素子形成領域の表面にN型の不純物を拡散して形成される。この埋込層21は、シフトレジスタ3の埋込層11と同時に形成される。第1の蓄積電極23は、埋込層11上に、シフトレジスタ3の第1層の転送電極13と同時に、絶縁膜27を介して形成される。第2の蓄積電極24は、第1の蓄積電極23と一部が重なるようにしてシフトレジスタ3の第2層の転送電極14と同時に、絶縁膜27を介して形成される。これらの第1及び第2の蓄積電極23、24には、互いに異なる電圧VG0、VG1が印加される。リセット電極25は、第1の蓄積電極23の第2の蓄積電極24側と対向する側に一部が重なるようにして絶縁膜27を介して形成される。このリセット電極25も、第2の蓄積電極24と同様に、シフトレジスタ3の第2層の転送電極14と同時に形成される。このリセット電極25には、リセットクロックφR2が印加され、受光部1が被写体からの光の受光を開始するとき、第1の蓄積電極23の下埋込層21とリセットドレイン26とを導通させる。

【0020】バリア領域22は、第2の蓄積電極24の下埋込層21に形成され、第1の蓄積電極23の下と第2の蓄積電極24の下とでポテンシャルに段が生じるようにしている。このバリア領域22は、シフトレジ

スタ3のバリア領域12と同時に、第1の蓄積電極23をマスクとするセルアライメント注入によって形成される。尚、バリア領域22は、リセット電極25の下に埋込層21部分にも形成されるが、この部分では機能しない。リセットドレイン26は、シリコン基板20の素子形成領域内でリセット電極25に隣接して形成される。このリセットドレイン26には、一定の電圧VRDが印加され、リセット電極25の開閉動作に従って第1の蓄積電極23の下に埋込層21に蓄積された情報電荷を吸収する。

【0021】出力アンプ34は、フローティング層28、リセットドレイン29及びリセット電極30により構成され、フォトセンサ33に接続してシリコン基板20上に形成される。この出力アンプ34自体は、図6に示す受光部1の出力アンプ4と同一構成のものである。フローティング層28は、フォトセンサ33の第2の蓄積電極24に隣接し、シリコン基板20の表面にN型の不純物を拡散して形成される。このフローティング層28は、浮遊容量を形成し、第2の蓄積電極24が形成するポテンシャルの障壁を越えて出力される情報電荷を一時的に蓄積する。このフローティング層28の電位VRDは、フローティング層28内に情報電荷量が蓄積されることによって変動するものであり、ソースフォロワ等のインピーダンス変換回路を通して起動信号MTとして出力される。リセットドレイン29は、フローティング層28から一定の距離を隔ててシリコン基板10の表面にN型の不純物を拡散して形成される。このリセットドレイン29には、フォトセンサ33のリセットドレイン26と共通に一定の電圧VRDが印加され、フローティング層28に蓄積される情報電荷をリセット電極30の開閉動作に従って吸収する。リセット電極30は、フローティング層28とリセットドレイン29との間のシリコン基板20上に絶縁膜27を介して配置される。このリセット電極30は、フォトセンサ33のリセット電極25と共通のリセットクロックφR2によりパルス駆動され、フローティング層28とリセットドレイン18とを導通させる。

【0022】これにより、第1の蓄積電極23の下に埋込層21には、第1の蓄積電極23により形成されるポテンシャルと第2の蓄積電極24により形成されるポテンシャルとの差の分だけ情報電荷が蓄積されることになる。ここで、第1の蓄積電極23により形成されるポテンシャルと第2の蓄積電極24により形成されるポテンシャルの差は、バリア領域25によって生じる差と各蓄積電極23、24に印加される電圧VG0、VG1によって生じる差との和となる。実際に、バリア領域25によって生じるポテンシャルの差は、受光部1のシフトレジスタ3の埋込層11でバリア領域12によって生じる差と同一となる。これに対して、各蓄積電極23、24に印加される電圧VG0、VG1によるポテンシャルの差につい

ては、バリア領域25によって生じる差を打ち消す方向に生じる。これにより、各蓄積電極23、24に印加される電圧VG0、VG1によって小さくした分だけ少ない量の情報電荷が蓄積されたときに出力アンプ34に情報電荷が取り込まれ、起動信号MTが立ち上げられることになる。従って、受光部1の各受光ビット2に蓄積される情報電荷が、シフトレジスタ3の転送能力を越える量まで蓄積される前に出力アンプ34側に漏れ出すようになる。この結果、出力アンプ34から取り出される起動信号MTは、受光部1の各受光ビット2にシフトレジスタ3の転送能力を越えない適正な量の情報電荷が蓄積された時点で、クロック発生回路32を起動させる。

【0023】以上の実施の形態においては、受光部1に受光ビット2を1次元に配置した場合を例示したが、符号図形のパターンが2次元に配列される場合に対応して、複数の受光画素を行列配置（2次元に配置）する場合にも同様に適用できる。また、バーコード等の白黒のパターンに限らず、カラーのパターンを用いる符号図形の読み取りにも同様に採用することができる。

【0024】

【発明の効果】本発明によれば、測光部から得られる出力電圧にตอบสนองして受光部の情報電荷の転送出力を開始するようにしたことで、受光部の受光ビットが最適な露出状態に保たれるようになり、常に適正なレベルの画像信号を得ることができる。従って、二値化回路の判定動作が安定し、誤った画像データが出力されることがなくなる。

【0025】また、測光部の埋込層及びバリア領域を受光部の各部と同一工程で形成していることで、測光部のフォトセンサと受光部のシフトレジスタとの情報電荷の保持特性を一致させることができる。従って、製造工程でのばらつき等によって各部の動作特性が変化したとしても、相対的な動作特性は変化しないため、製造ばらつきの影響を受けにくく、安定した動作特性を得ることができる。

【0026】さらには、受光部にオーバーフロードレインを設ける必要がないことから、受光部を簡略化することができ、集積化に有利である。これにより、測光部を受光部、出力アンプ、二値化回路及びクロック発生回路と共に共通の半導体基板上に容易に集積化することができ、符号の読み取りに必要な全ての構成を容易にワンチップすることができる。

【図面の簡単な説明】

【図1】本発明の固体撮像装置の構成を示すブロック図である。

【図2】測光部の構造を示す断面図である。

【図3】測光部のポテンシャルの状態を示すプロファイル図である。

【図4】従来の符号読み取り装置の構成を示すブロック図である。

【図5】従来の符号読み取り装置の各部の信号の波形図である。

【図6】受光部の構造を示す断面図である。

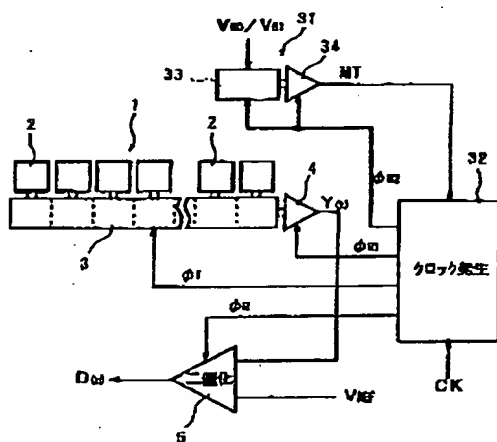
【図7】受光部のポテンシャルの状態を示すプロファイル図である。

【符号の説明】

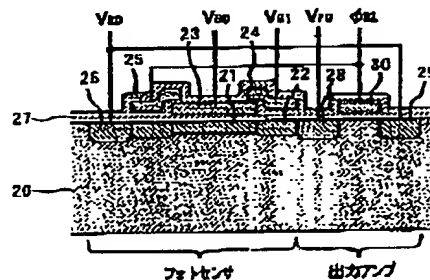
- 1 受光部
- 2 受光ビット
- 3 シフトレジスタ
- 4、34 出力アンプ
- 5 二値化回路
- 6、32 クロック発生回路

- 10、20 シリコン基板
- 11、21 埋込層
- 12、22 バリア領域
- 13、14 転送電極
- 15 出力制御電極
- 16、27 絶縁膜
- 17、28 フローティング層
- 18、26、29 リセットドレイン
- 19、25、30 リセット電極
- 10 23、24 蓄積電極
- 31 測光部
- 33 フォトセンサ

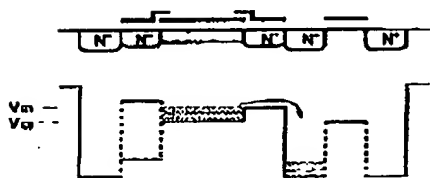
【図1】



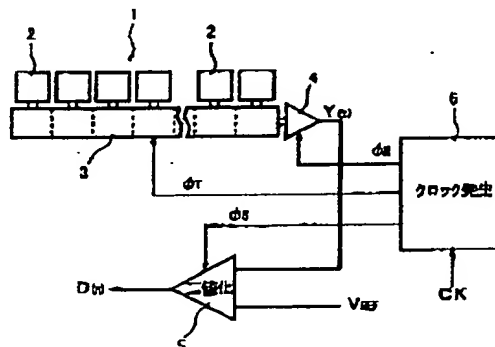
【図2】



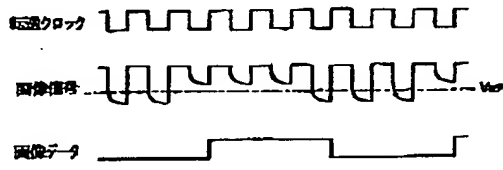
【図3】



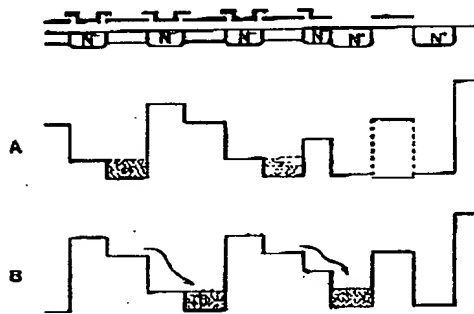
【図4】



【図5】



【図7】



【図6】

